

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開

昭58-93298

⑤Int. Cl.³
H 05 K 3/46

識別記号

庁内整理番号
6465-5F

⑬公開 昭和58年(1983)6月2日

発明の数 1
審査請求 未請求

(全4頁)

⑪多層配線基板

⑫特 願 昭56-190838

⑬出 願 昭56(1981)11月30日

⑭發明者 吉田次江
横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

⑭發明者 藤本一之
横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

⑪發明者 蔡下明

横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

⑪發明者 川人道善

横浜市戸塚区吉田町292番地株
式会社日立製作所生産技術研究
所内

⑪出願人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑪代理人 弁理士 秋本正実

明細書

発明の名称 多層配線基板

特許請求の範囲

1. 絶縁層および絶縁層中の開口部において接着された絶縁層上部配線層と、絶縁層下部配線層からなる薄膜多層配線基板において、下部導体配線部として、主たる導体部分がAuからなり、少くとも前記開口部において上記Au配線部をAuによつて被覆したことを特徴とする薄膜多層配線基板。

2. 絶縁層中の開口部がAuによつて被覆されたAu配線部を2つ以上の層に用いたことを特徴とする特許請求の範囲第1項記載の多層配線基板。

発明の詳細な説明

本発明は多層配線基板における配線メタライズ構成法に関するものである。

従来実施されている薄膜多層配線基板の製造方法を第1図および第2図により説明する。

第1図は従来の配線基板の製造工程を説明するフローチート、第2図はその各工程における説明用断面図である。

第1図および第2図において、A乃至Jは各工程を示す。

先づ基板1は、一般に導線回路に用いられるグレードセラミック基板を洗浄後、真空蒸着、あるいはスパッタリング法等によりAl膜2を形成し(A)、続いてそのAl膜上にホトプロセスによりレジスト膜3を形成し(B)、続いてリン酸系エシチエントを用いてエッチングすることによりAl配線パターンを構成し(C)、次にレジスト膜3を普通の方法により除去し(D)、続いて図に示すよう層間絶縁層4を形成するが、これはポリイミド系樹脂を回転塗布法により均一に形成し、約200°Cで仮ペークを行い、さらに350°CのN₂中でキュアを行なう。次に絶縁層4上に前記同様にホトプロセスによりレジスト膜3を形成し(E)、続いてヒドロジンおよびエチレンジアミン混液よりなるエッチャントで接続スルーホール6を形成し(F)、レジスト膜を除去した後、再度ポリイミド系絶縁層4を約350°CのN₂中でペーク処理をする。

このように基板1上にAl配線導体層2を形成し、

特開昭58-93298(2)

その上部の絶縁層4に接続用スルーホール6を設けた薄膜多層配線回路では、前処理工程(I)に送られ、ここでスルーホール6内のAl酸化被覆をスルフアミン酸系エッチャントにより取除き、その後リン酸系エッチャントによりライトエッチしている。その後に第2導体層としてAl(あるいはNi-Cr/Al, Cr/Cuなど)5を前記と同様真空蒸着またはスパッタリング法で形成している(I)。

このように、従来は上部導体層5を設ける前に、前処理工程(I)を設けているが、これは前記した如く、スルーホール6内のAl酸化被覆7を取除くためであり、これを省略すると、スルーホール6の接続抵抗値が数Ω/穴～数KΩ/穴と異状に高いものが生じ、製品歩留りを阻害する最大要因となつてはいたからである。

前記前処理工程(I)を施すことにより、スルーホール6の接続抵抗値は約数Ω/穴と大幅に減少したが、その反面、スルフアミン酸系およびリン酸系エッチャントにより、Al酸化被覆層だけでなくAl金属部まで除去され、スルーホール6内に段差

を生じ、上部導体層5の形成後に、スルーホール部での配線切れやクラックを生じ、配線強度を低下させ、製品歩留りを低下させる要因が新たに発生してきた。

本発明は、前記の如き従来技術を改善し、スルフアミン酸系およびリン酸系エッチャントを用いる前処理工程を省き、しかもスルーホール部での接続抵抗値を小さくすることができる多層配線基板を提供せんとするものである。

本発明は前記の目的を達成せんがため、薄膜多層配線基板の下部導体層として、主たる導体部分がAlからなり、かつその絶縁層中の開口部をAlによって被覆したものである。

次に第3図および第4図により本発明の一実施例を説明する。

第3図および第4図は従来例を説明した第1図および第2図に相当するフローシートおよびその工程における説明用断面図である。

第3図および第4図において、従来の実施例を説明した第1図および第2図と異なるところは、

(A)工程におけるAl/Au膜形成と、(B)工程におけるAu/Au配線形成と、前処理工程(I)がないことだけであり、他の工程は前述の実施例と同一であるからその他の工程の説明を省略し、(A), (B)工程についてのみ説明する。

本実施例においても、基板1は薄膜回路に用いられるグレースドセラミック基板1を洗浄後、真空蒸着あるいはスパッタリング法等の真空製膜法によりAl膜を1μ、その上にAuを500Å形成する。このように配線導体層2を形成した後、レジスト膜3を形成し、引続き第1層配線パターンの形成工程(B)では、Auのバーニングにはヨウ素系エッチャント、Alのバーニングにはリン酸系エッチャントを使用する。以下レジストの除去およびスルーホールの形成は従来と同様にして行い、多層配線を構成する層間絶縁膜4をポリイミド系樹脂を用いて形成し、その上に上層配線として新たにAl/Au(あるいはNi-Cr/Al, Cr/Cuなど)を前述のように形成する。以下これを繰返すことにより2つ以上の多層配線回路を構成する。

このように構成した薄膜多層配線回路では、第5図に示すようにAlを500Å以上被覆することにより、60μのスルーホールの接続抵抗値をすべて0.1Ω/穴以下にすることができる事が確認された。

次表は従来法による多層配線基板と本発明による多層配線基板の具体的効果を示す比較表である。

表

		スルーホール接続抵抗値 Ω/穴	接続歩留り %
従来 技術	前処理なし	数Ω/穴～数KΩ/穴	30%
	前処理あり	0.1Ω/穴～数Ω/穴	80%
実施例	Al/Au構造	< 0.1Ω/穴	95%

この表の如く、従来技術では、スルーホール接続抵抗値が数Ω/穴～数KΩ/穴と大きく、接続歩留りは30%程度であった。その解決策として前処理工程(I)を施すことにより、接続抵抗値を0.1Ω/穴～数Ω/穴に減少することができ、接続

歩留りも 80 % まで向上させることができたが、前処理によりスルーホール内のルーピング層が役立たれ、クラックや配線切れがあつた。これに対し本発明においては、スルーホールが丸で被覆しているので、前処理工程を省略しても接続抵抗値が 0.1 Ω/穴 であり、前処理工程を省略することにより接続歩留りを 95 % 程度まで向上させることができた。

なお、前記層間絶縁層4の上に第3導体層として新たなNi/Au（或いはNi-Cr/Al, Cr/Cuなど）を前述のように形成し、スルーホールを設けて2層以上の多層配線回路を構成することもできる。

以上述べた如く、本発明の多層配線基板は、配線導体層上にAuを被覆させてるので、スルーホール形成時に配線導体層が侵食されることはなく、前処理工程を省略しても接続抵抗値を0.1Ω/穴とすることができる、接続歩留りを大巾に向上させることができる効果がある。

図面の簡単な説明

第 1 図は従来の多層配線基板の製造工程を示す

特開昭58-93298(3)
フローシート、第2図は各工程における説明用断面図、第3図は本発明の各工程を示すフローシート、第4図は各工程における説明用断面図、第5図はAu膜厚と接続抵抗値の関係を示すグラフである。

1 … 落板、2 … 配線導体層、3 … レジスト膜、
 4 … 絶縁層、5 … 第2導体層、6 … スルーホール、
 7 … 酸化核膜。

代理人弁理士秋本正察

第1 図

第2 図

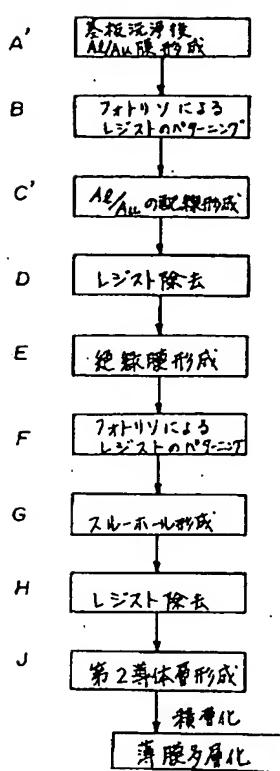
1. 素材選択・構成
A. リソグラフィ成
B. フラットリソ・リソ・スル・リソ
C. Aの配線形成
D. レジスト除去

2. 絶縁層形成
E. リソグラフィ成
F. フラットリソ・リソ・スル・リソ
G. スル・リソ・スル・リソ成
H. レジスト除去

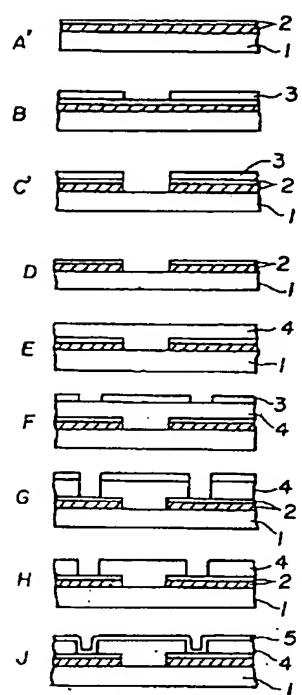
3. レジスト除去
I. (前処理)

4. 第2基材層形成・複合化
J. 素材複合化

第3図



第4図



第5図

